

# Düşük Frekans Uygulamaları İçin MO-VDTA Tabanlı Bir Kapasite Çarpıcı Devresi

## A MO-VDTA Based Capacitance Multiplier Circuit For The Low Frequency Applications

Burak SAKACI<sup>1</sup>, Deniz ÖZENLİ<sup>2</sup>

<sup>1</sup>Elektronik Mühendisliği  
Atatürk Stratejik Araştırmalar ve Lisansüstü Eğitim Enstitüsü  
Milli Savunma Üniversitesi  
[buraksakaci@gmail.com](mailto:buraksakaci@gmail.com)

<sup>2</sup>Elektronik Mühendisliği  
Atatürk Stratejik Araştırmalar ve Lisansüstü Eğitim Enstitüsü  
Milli Savunma Üniversitesi  
[dozenli@hho.msu.edu.tr](mailto:dozenli@hho.msu.edu.tr), [dozenli@itu.edu.tr](mailto:dozenli@itu.edu.tr)

### Özet

Kapasiteler VLSI devreler üzerinde oldukça geniş alan kaplamaktadır. Yüksek kapasite ihtiyaçları özellikle ses tanıma ve biyomedikal uygulamalarda filtre devrelerinde duyulan bir ihtiyaçtır. Yapılan çalışma MO-VDTA (Multiple Output – Voltage Differencing Transconductance Amplifier) (Çok çıkışlı – Gerilim Farkı Geçiş İletkenliği Yükselticisi) temelli bir kapasite çarpıcı oluşturulmuş ve kapasite emülatörü elde edilmiştir. Tasarlanan kapasite çarpıcı elektronik olarak ayarlanabilir olup, sadece 1 adet aktif eleman barındırmaktadır. Bu yapılan çalışma da LT-Spice üzerinden simülasyon sonuçları ile doğrulanmıştır.

### Abstract

Capacitors take up huge layout area on VLSI circuits. High capacity needs are especially needed in filter circuits in voice recognition and biomedical applications. In the study, a capacity multiplier based on MO-VDTA was created and a capacity emulator was obtained. The proposed architecture can be adjusted electronically, also it contains single active element only. This study was also confirmed by simulation results on LT-Spice.

### 1. Giriş

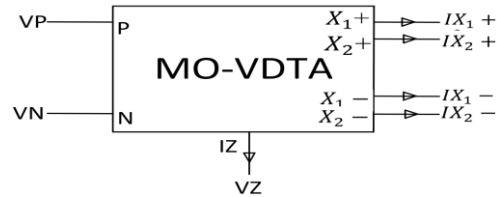
Pasif devre elemanları VLSI sistemlerde oldukça yer kaplamaktadır. Analog devreler ile gerçekleştirilen PLL ve sub-hertz biyomedikal uygulamaları yüksek kapasitelere ihtiyaç duymaktadır [1]. Büyük kapasite değerlerinin gerçekleştirilmesi için büyük serim alanlarına ihtiyaç duyulmaktadır. Hem serim alanının genişlemesi hem de maliyetin yükselmesi dolayısıyla kapasite çarpıcılar analog elektronik devrelerinde sıklıkla kullanılmaktadır. Küçük kapasite değerlerinin kapasite çarpıcı devreler ile daha büyük değerleri gerçekleştirilmesi sağlanabilir [2,3]. Kapasite çarpıcı devrelerin çarpım faktörü ile yüksek değerli kapasiteler elde edilebilir. Örneğin gerçek değeri 1pF olan bir kapasitenin, çarpım faktörü 250 olan bir kapasite çarpıcıda kullanılması durumunda değeri 250pF olan bir sanal kapasite elde edilmektedir. Yüksek kapasite değeri gerektiren, örneğin bir R-C

alçak geçiren filtre yapısında çok daha düşük bir serim alanı ile bu devre sağlanabilir.

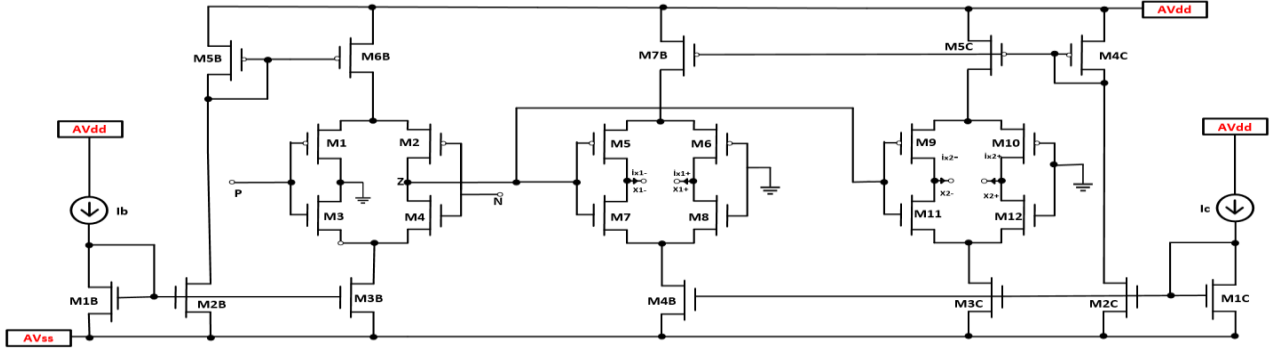
Kapasite çarpım devreleri literatürde gerilim ve akım modu yaklaşımları ile kullanılmaktadır. Akım mod kapasite çarpıcıların çarpım faktörü, gerilim mod kapasite çarpıcılarına göre daha yüksek olmaktadır [4,5]. Kapasite çarpıcılar " $C_M = (1+k) \cdot C_B$ " şeklinde gösterilmektedir. Burada " $C_M$ " elde edilen kapasite, " $C_B$ " kullanılan kapasite ve " $k$ " ise çarpım faktörünü göstermektedir [1]. Kapasite çarpıcılar literatürde OTA, OPAMP, CDTA, CCTA, DVCCTA, CFTA, CBTA, CCII, DVCC, CCDDCC, VDTA gibi birçok yapı ile gerçekleştirilmiştir [1,6,7]. Farklı aktif elemanların kullanılmasıyla farklı çarpım faktörleri elde edilebilmektedir. Yapılan bu çalışmada kapasite çarpıcı devresi MO-VDTA yapısı kullanılarak elde edilmiştir. Elde edilen bu çarpıcı özellikle ses tanıma uygulamaları gibi düşük frekans çalışmalarında kullanılabilme özelliğine sahiptir. Elde edilen kapasitenin yanı sıra güç tüketimi diğer kapasite çarpıcı devrelere göre daha düşük olmakta ve bu özelliği ile de düşük güç tüketimi yapan uygulamalarda kullanılma özelliğini arttırmaktadır. Yapılan çalışma LT-Spice ortamında 0.18  $\mu\text{m}$  TSMC teknolojisi kullanılarak test edilmiştir ve sonuçlar çalışmada verilmiştir.

### 2. MO-VDTA

VDTA yapısı analog sinyal işleme işlemleri için kullanılan bir analog işlem bloğudur. VDTA iki farklı OTA katından oluşmaktadır [8, 9]. MO-VDTA ise yeni OTA katlarının kaskad olarak eklenmesiyle elde edilerek oluşturulan bir analog işlem bloğudur.



Şekil 1: MO-VDTA Blok Diyagramı



Şekil 2: MO-VDTA CMOS Yapısı.

Bu yapı Şekil 1'de görülmektedir. Yapılan çalışmada MO-VDTA işlem bloğu, kapasite çarpıcı yapısı oluşturmak için kullanılmıştır. MO-VDTA, VDTA ile oluşturulan bir kapasite çarpıcıya göre daha yüksek çarpım faktörüne sahip olmaktadır. Basit bir MO-VDTA devresi üç OTA yapısından oluşmaktadır. Üç OTA yapısından oluşan MO-VDTA devresinin transistörler ile gerçekleştirilmiş hali Şekil 2'de görülmektedir. MO-VDTA devresi yedi terminalli bir yapıdır. Her bir terminal ve yüksek empedansa sahiptir ve kolaylıkla kaskad olarak birbiri ardına bağlanabilir [10]. Yedi terminalden " $V_p$ " ve " $V_n$ " terminalleri diferansiyel gerilim girişleridir. " $V_z$ " ise gerilim çıkış terminalidir. MO-VDTA yapısının akım-gerilim ilişkisi Denklem 1'de verilmiştir.

$$\begin{pmatrix} I_z \\ I_{x1+} \\ I_{x1-} \\ I_{x2+} \\ I_{x2-} \end{pmatrix} = \begin{pmatrix} g_{m1} & -g_{m1} & 0 \\ 0 & 0 & g_{m2} \\ 0 & 0 & -g_{m2} \\ 0 & 0 & g_{m3} \\ 0 & 0 & -g_{m3} \end{pmatrix} \begin{pmatrix} V_{P1} \\ V_{N1} \\ V_z \end{pmatrix} \quad (1)$$

Çalışmada kullanılan MO-VDTA yapısını oluşturmak için iki akım kaynağı ve üç Arbel-Goldminz yapısı kullanılmıştır. Oluşturulan yapıda üç farklı kazanç katı bulunmaktadır. Oluşturulan MO-VDTA'da kullanılan OTA katlarından, ikinci ve üçüncü OTA katının kazanç faktörü aynıdır. İlgili kazanç yapısı her bir OTA yapısında yalnız 4 transistör ile sağlanmaktadır. Denklem 2,3 ve 4'te her bir OTA katının kazançları belirtilmiştir.

$$G_{m1} \cong \frac{g_{m2}g_{m4}}{2} \quad (2)$$

$$G_{m2} \cong \frac{g_{m5}g_{m7}}{2} \quad (3)$$

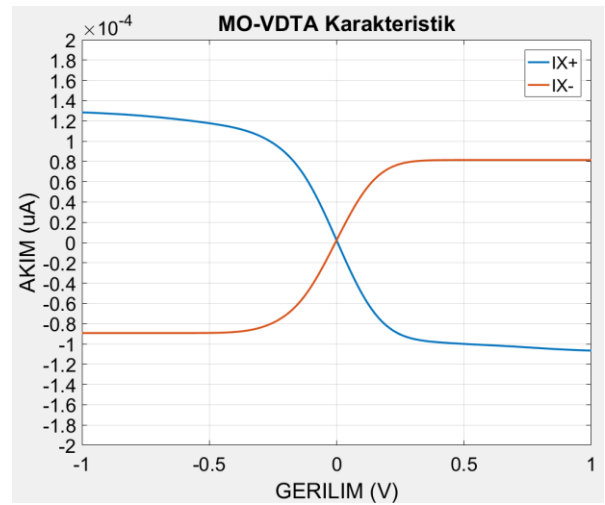
$$G_{m3} \cong \frac{g_{m9}g_{m11}}{2} \quad (4)$$

Denklem 3 ve 4 üzerinden de görülmektedir ki ikinci ve üçüncü katların kazançları aynı olmaktadır. Bunun sebebi ise her iki katta kullanılan transistör boyutlarının aynı olmasından kaynaklanmaktadır. Buna bağlı olarak kat sayısı arttıkça ikinci ve üçüncü katlara benzer olarak kazanç aynı olacaktır. Yani matematiksel olarak ifade edersek  $g_{m5} = g_{m9}$ ,  $g_{m7} = g_{m11}$ ,  $g_{m(n-2)} = g_{mn}$  şeklinde olacaktır. MO-VDTA yapısında kullanılan transistörlerin boyutları Çizelge 1'de verilmiştir. M1-M2-M3-M4 transistörleri birinci OTA'ya, M5-M6-M7-M8 ikinci OTA'ya ve M9-M10-M11-M12 transistörleri ise üçüncü OTA'ya aittir.

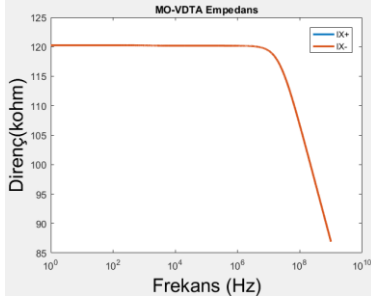
Çizelge 1: Transistor Boyutları

TRANSISTOR	SIZE	
	W	L
$M_{1b}, M_{2b}, M_{3b}$	0.5 $\mu$ m	5 $\mu$ m
$M_{5b}, M_{6b}$	1 $\mu$ m	2 $\mu$ m
$M_{4c}$	7 $\mu$ m	0.18 $\mu$ m
$M_{5c}$	8 $\mu$ m	0.18 $\mu$ m
$M_{7b}$	5 $\mu$ m	0.18 $\mu$ m
$M_1, M_2$	1 $\mu$ m	6 $\mu$ m
$M_3, M_4$	0.3 $\mu$ m	4 $\mu$ m
$M_5, M_6, M_9, M_{10}$	6 $\mu$ m	0.36 $\mu$ m
$M_{1c}, M_{2c}, M_{3c}, M_{4b}$	3 $\mu$ m	0.36 $\mu$ m
$M_7, M_8, M_{11}, M_{12}$	4 $\mu$ m	0.36 $\mu$ m

MO-VDTA yapısının kapasite çarpıcı olarak kullanılabilmesi için öncelikli olarak sağlıklı bir akım geçiş karakteristik eğrisine ve yüksek bir X+ ve X- terminali empedansına ihtiyaç duyulmaktadır. Akım geçiş karakteristikleri ve X+, X- terminalinin empedansı Şekil 3 ve Şekil 4'de görülmektedir. X+ ve X- terminallerinin empedansı eşit olduğu için grafik üzerinde üst üste gelmektedir ve aynı olmaktadır.



Şekil 3: MO-VDTA DC Transfer Karakteristiği.

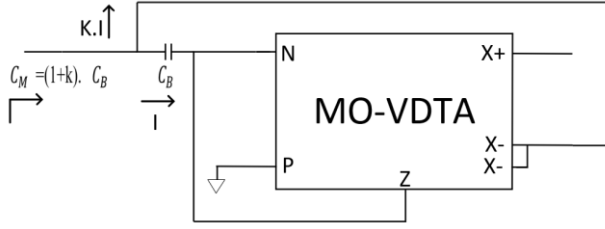


Şekil 4: MO-VDTA Terminal Empedansları.

### 3. MO-VDTA Tabanlı Kapasite Çarpıcı

Çalışmamızın amacı MO-VDTA analog işlem bloğundan bir kapasite çarpıcı oluşturmaktır. Burada oluşturulan kapasite emülatörü, yüksek kapasite ihtiyaçlarını düşük serim alanlarında sağlayabilecektir. Oluşturulan yapı düşük serim ve yüksek kapasite ihtiyacının bulunduğu ses tanıma, biyomedikal uygulamalar gibi çalışma alanlarında kullanılabilir.

Akım mod kapasite çarpıcılar kapasitif etkinin akım skalasında çarpılması ile elde edilmektedir. MO-VDTA'nın kapasite çarpıcı olarak kullanılması için hazırlanan blok diyagramı Şekil 5'te görülmektedir.



Şekil 5: MO-VDTA Kapasite Çarpıcı.

Çalışmamızdaki kapasite çarpıcı " $C_M = (1+k) \cdot C_B$ " şeklinde gösterilmektedir. Burada " $C_M$ " elde edilen kapasite, " $C_B$ " kullanılan kapasite ve " $k$ " ise çarpım faktörünü temsil etmektedir. MO-VDTA yapısında VDTA yapısına ekstra OTA'lar eklenerek " $k$ " çarpım faktörü artırılmaktadır.

MO-VDTA kapasite çarpıcı devresinde bir diğer önemli faktör ise empedans değeridir. MO-VDTA empedans değerleri denklem 5, 6 ve 7'de verilmiştir [1].

$$Z = \frac{sC_B + g_{m1}}{sC_B(g_{m1} + g_{m2} + g_{m3})} \quad (5) \quad Z \cong \frac{g_{m1}}{sC_B(g_{m1} + g_{m2} + g_{m3})} \quad (6)$$

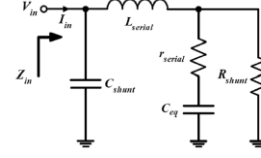
$$k = \frac{g_{m1} + g_{m2} + g_{m3}}{g_{m1}} \quad (7) \quad \omega_{cut-off} = \frac{1}{kRC_B} \quad (8)$$

Yapılan çalışmada ilk OTA'da transistörlerin W/L oranları düşük tutulup  $g_m$  değeri düşük tutulurken, ikinci ve üçüncü OTA'da ise W/L oranları yüksek seçilerek  $g_m$  değeri yükseltilmiştir. W/L oranı ve  $g_m$  değeri arasındaki ilişki denklem 9'da verilmiştir.

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (9)$$

Birinci kat  $g_m$  değerinin küçük, ikinci ve üçüncü kat  $g_m$  değerlerinin yüksek tutulmasının sebebi  $I_B$  akımını düşük tutarken  $I_C$  değerini olabildiğince yüksek seviyeye çıkarmaktır. Yapılan çalışmada  $I_B = 100nA$  ve  $I_C = 50\mu A$  olarak

ayarlanmıştır. Parazitik etkilerin kapasite çarpıcıya etkisi Şekil 6'da görülmektedir [11,12].



Şekil 6: MO-VDTA Parazitik Etkileri.

Şekil 6'dan elde edilen empedans değeri ise denklem 11'de verilmiştir.

$$Z \approx \left( \left( \frac{g_{m1}}{sC_B(g_{m1} + 2g_{m2})} + r_{serial} \right) \parallel R_{shunt} \right) + L_{serial} \parallel C_{shunt} \quad (11)$$

Denklem 11'de bulunan  $R_{shunt}$  ve  $r_{serial}$  değerleri  $C_{eq}$  değerine alçak ve yüksek frekansta etki etmektedir.  $L_{serial}$  ve  $C_{shunt}$  değerleri ise çok yüksek frekanslarda önemli rol oynamaktadır [1]. MO-VDTA üzerindeki bütün frekans temelli parazitik etkiler denklem 11'de görülmektedir. Burada yüksek frekans 100Mhz olarak seçilirse geniş bir aralık için sonlu terminal dirençleri nedeniyle ortaya çıkan empedans denklem 12'de verilmektedir.

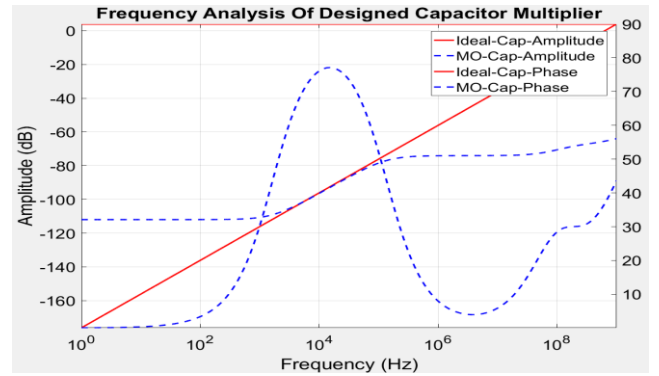
$$Z \approx \frac{g_{m1}}{sC_B(g_{m1} + 2g_{m2})} + r_{serial} \quad (12)$$

### 4. Benzetim Sonuçları

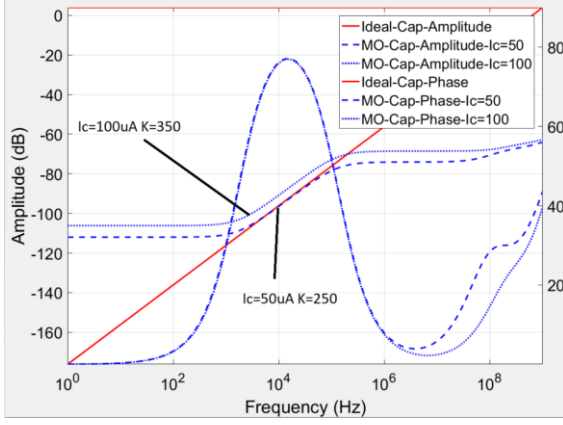
MO-VDTA kapasite çarpıcının faz ve genlik analizi ile ideal bir kapasitenin faz ve genlik analizinin karşılaştırılması, çalışma frekans aralığının ve çarpım faktörünün doğruluğu konusunda bize yardımcı olacaktır. Şekil 7'de ideal ve oluşturulan kapasite çarpıcının faz ve genlik eğrileri görülmektedir.

Şekil 7'de görüldüğü üzere kapasite çarpım devresinde ideal ve kapasite çarpıcı devresinin değerleri üst üste oturmaktadır. Ve belirli bir frekans aralığında çalıştığı gözlemlenmektedir. Görülen frekans değeri dışındaki değerlerde ise oluşturulan kapasitemiz direnç gibi davranmaktadır.

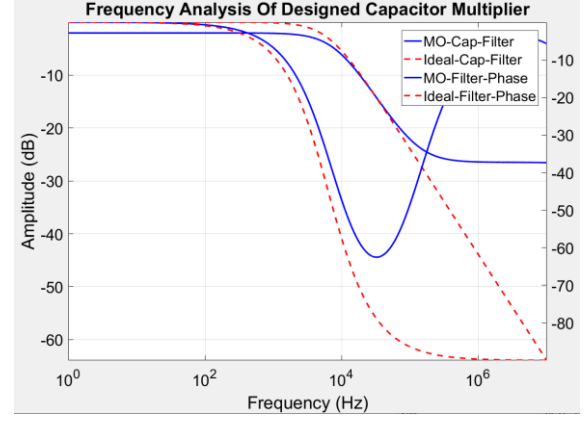
MO-VDTA yapısıyla oluşturulan kapasite çarpım faktörünü artırmanın birkaç yolu bulunmaktadır. Bunlardan bir tanesi daha fazla OTA ekleyerek kazancı arttırmak bir diğeri ise  $I_C$  değerini arttırmaktır. Burada dikkat edilmesi gereken nokta  $I_C$  değerinin artması güç tüketimini arttıracaktır. OTA eklenmesi ise eleman sayısını ve bunun sonucu olarak serim alanını arttıracaktır. Kullanılacak olan alanın gereksinimlerine göre seçim yapılması önem arz etmektedir. Şekil 8'de farklı  $I_C$  değerlerindeki çarpım oranları görülmektedir.



Şekil 7: MO-VDTA Frekans-Faz Analizi.

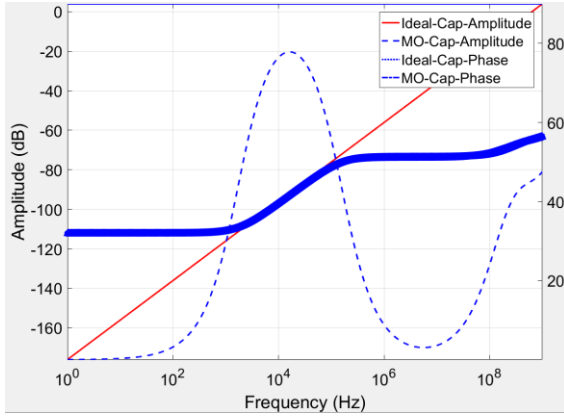


Şekil 8: Ic Değerlerinin Değişim Etkisi



Şekil 10: RC Filtre Uygulaması.

Çalışmamızdaki bir diğer önem arz eden konu ise MO-VDTA'nın farklı sıcaklık değerlerindeki kapasite çarpıcı performansdır. Şekil 9'den de anlaşılacağı üzere sıcaklık değişiminin (-40°C ve +80°C arası) çarpım faktörü üzerinde etkisinin çok az olduğu görülmektedir. Farklı sıcaklık değerlerinde değişim o kadar az olmaktadır ki grafikte değerler üst üste binmektedir. Bu da kullanılan yapının farklı çevre koşullarında rahatlıkla kullanılabilmesini göstermektedir. Şekil 9'da okunabilirlik açısından sadece "genlik" değişimine bakılmıştır. Faz değeri oluşturulan kapasite çarpıcının -40°C'deki cevabıdır.



Şekil 9: Sıcaklık Değişim.

## 5. Sonuçlar

Yapılan çalışmada MO-VDTA analog işlem bloğunun kapasite olarak performansı incelenmiştir. Yapılan çalışma göstermiştir ki MO-VDTA yapısına OTA katları eklenerek ve akım değeri artırılarak çarpım faktörü yükseltilebilmektedir. Yapılan çalışmanın sıcaklık değişiminden az miktarda etkilendiği ve stabil olarak çalıştığı grafiklerle desteklenmiştir. Oluşturulan MO-VDTA yapısının birinci dereceden filtre performansı yorumlanmış ve sonuçların başarılı olduğuna kanaat getirilmiştir. Yapılan çalışmada görülmüştür ki kullanılan yapı düşük  $C_B$  değeriyle, yüksek çarpım faktörünü diğer muadillerine göre daha düşük enerji tüketimi ile sağlamaktadır. Yapılan çalışma sırasında LT-Spice ve 0.18µm TSMC teknolojisi kullanılmıştır. Yapılan çalışmanın performans karşılaştırılması Çizelge 2'de verilmiştir.

Çizelge 2: Kapasite Çarpıcı Karşılaştırma

Parameter	[1]	[3]	[5]	[13]	MO-VDTA
Teknoloji (µm)	0.18	0.18	0.18	0.5	0.18
Çarpım Faktörü	115-150	40	98-455	28	250-350
$C_B$ (pF)	1	-	3	25	1
Min. Güç Tüketimi (µW)	37	-	340	1320	360

### 4.1. R-C Filtre Uygulaması

MO-VDTA temelli oluşturulan kapasite çarpıcı devresi, R-C filtrelerindeki C değerini gerçeklemek için kullanılabilir. Özellikle düşük frekans uygulamalarında alçak geçiren filtrelerde yüksek kapasite değerlerine ihtiyaç duyulmaktadır. Serim alanını düşük tutarak, yüksek kapasite sağlamak analog elektronik çalışmalarında çok önemli bir unsurdur. Örneğin 100kΩ ve 250pF değerlerine sahip bir ideal RC filtrenin kesim frekansı "6.4kHz" olmaktadır. MO-VDTA kapasite çarpıcı yapımızdaki C değeri, R-C filtredeki kullanımı sonucu Şekil 10'daki frekans cevabı alınmaktadır. Şekilden de görüleceği üzere yaklaşık olarak "7.27 kHz" de kesim sağlanmaktadır. Buradan anlaşılacağı üzere MO-VDTA temelli kapasite çarpıcımız başarılı bir biçimde RC filtre yapısında kullanılabilir. Buradan anlaşılacağı üzere MO-VDTA temelli kapasite çarpıcımız başarılı bir biçimde RC filtre yapısında kullanılabilir.

## 6. Kaynaklar

- [1] Ozenli, D., Alaybeyoglu, E. & Kuntman, H. A tunable lossy grounded capacitance multiplier circuit based on VDTA for the low frequency operations. *Analog Integr Circ Sig Process* (2022). <https://doi.org/10.1007/s10470-022-02077-0>
- [2] Sotner, R., Jerabek, J., Polak, L., & Petrzela, J. (2020). Capacitance multiplier using small values of multiplication factors for adjustability extension and parasitic resistance cancellation technique.
- [3] Shukla, A., & Gupta, P. (2017). Current-mode PMOS capacitancemultiplier. In 2017 international conference on inventive systemsand control (ICISC) (pp. 1-4). IEEE.
- [4] Tang, Y., Ismail, M., & Bibyk, S. (2003). Adaptive miller capacitor multiplier for compact on-chip PLL filter. *Electronics Letters*, 39(1), 43-45.
- [5] Biolek, D., Vavra, J., & Keskin, A. U. (2019). CDTA-based capacitance multipliers. *Circuits, Systems, and Signal Processing*, 38(4), 1466-1481.
- [6] Tanzawa, T. (2010). On two-phase switched-capacitor multipliers with minimum circuit area. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 57(10), 2602-2608.
- [7] Alaybeyoğlu, E., & Kuntman, H. (2019). Capacitor multiplier with high multiplication factor for integrated low pass filter of biomedical applications using DTMOS technique. *AEU: International Journal of Electronics and Communications*, 107, 291-297.
- [8] Satansup, J., & Tangsrirat, W. (2014). Compact VDTA-based current- mode electronically tunable universal filters using grounded capacitors. *Microelectronics Journal*, 45(6), 613-618.
- [9] Alaybeyoğlu, E., & Kuntman, H. (2016). CMOS implementations of VDTA based frequency agile filters for encrypted communications. *Analog Integrated Circuits and Signal Processing*, 89(3), 675-684.
- [10] Petrović, P.B. A new electronically controlled floating/grounded meminductor emulator based on single MO-VDTA. *Analog Integr Circ Sig Process* 110, 185–195 (2022). <https://doi.org/10.1007/s10470-021-01946-4>
- [11] Yucehan, T., & Yuce, E. (2021). A new grounded capacitance multiplier using a single ICFOA and a grounded capacitor. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 69(3), 729-733.
- [12] Metin, B., & Cicekoglu, O. (2006). A novel floating lossy inductance realization topology with NICs using current conveyors. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 53(6), 483-486.
- [13] Padilla-Cantoya, I., & Furth, P. M. (2015). Enhanced grounded capacitor multiplier and its floating implementation for analog filters. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 62(10), 962–966.